

금속 산화물 박막의 캐리어 도핑 방법 및 이에 의해 제조된 반도체층을 포함하는 전자 소자 (기술분류-반도체-차세대 고성능 센서)

기술성 분석

기술 개요

- 전자 소자의 반도체층으로 사용되는 금속 산화물 박막을 아미노계 실란 커플링제로 표면 처리하여 캐리어를 n형 도핑하는 방법 및 이를 이용하여 제조된 반도체층을 포함하는 전자 소자에 관한 것임
- 본 발명에 따른 금속 산화물 박막의 표면 처리는 공정이 간편하고 제조 비용이 낮으며 소자의 전기적 특성을 개선시킴
- 또한 n형 도핑 농도를 제어하여 박막 트랜지스터, 센서와 같은 다양한 용도에 맞는 반도체 특성을 갖춘 금속 산화물 박막을 손쉽게 제공함

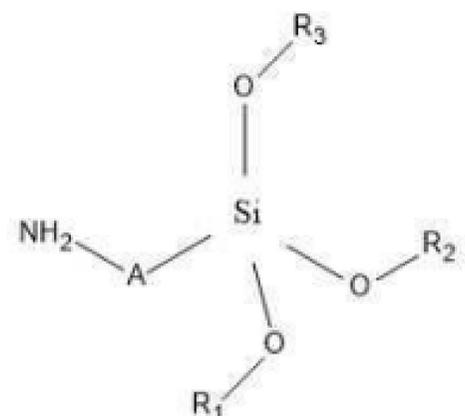
미해결 과제(Unmet needs)

- 기존 도핑 농도 제어 방법의 어려움
 - 전자 소자의 제조 단가를 낮추고 플렉서블 기판과 같은 다양한 기판 상에 전자 소자를 구현하려는 목적으로 증착과 같은 고온, 고압의 고가 공정이 아닌 상온, 상압의 용액 공정을 사용하는 제조 방법에 대한 연구가 활발히 진행되어 왔음
 - 전자 소자를 다양한 분야에 널리 사용하기 위해서는 사용 목적에 맞게 도핑 농도를 제어하여 적절한 페르미 준위를 얻어야 하나, 다양한 표면 개질법 및 이종 원자 첨가 등 기존 도핑 농도 제어 방법은 다단계의 복잡하고 추가적인 공정 단계나 고가의 장비를 요구하기 때문에 저비용을 이점으로 하는 용액 공정에서 불리하게 작용하는 문제점이 있음

기술적 해결수단(발명의 구성)

- 1) 금속 산화물 박막에 캐리어를 n형 도핑하는 방법
 - (a) 기판 상에 금속 산화물 박막을 전자 소자의 반도체층으로 형성하는 단계 및 (b) [화학식 1]의 실란 화합물을 0 초과 내지 15 부피% 미만의 농도로 함유하는 용액으로 금속 산화물 박막을 처리하는 단계를 거침으로써 금속 산화물 박막에 캐리어를 n형 도핑할 수 있음
 - (a) 단계는 기판을 금속산화물 졸 용액으로 용액 공정을 통해 코팅함으로써 수행됨
 - (b) 단계는 금속 산화물 박막을 [화학식 1]의 실란 화합물을 함유하는 용액으로 용액 공정을 통해 코팅함으로써 수행되며, 실란 화합물이 금속 산화물 박막 상에 코팅되어 이를 패시베이션하여 금속 산화물 박막의 산소 공공 내에 트랩된 전자를 해방시키고, 해방된 전자가 금속 산화물 박막을 n형 도핑함

[화학식 1]

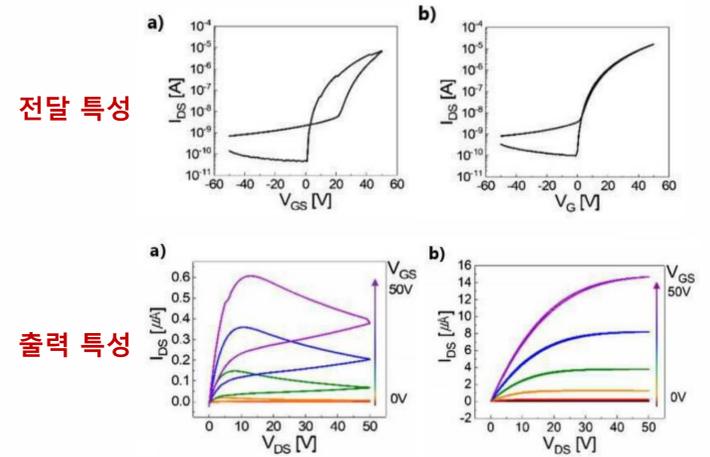


본 기술의 우수성 및 파급 효과

본 기술의 우수성(효과)

- 전기적 특성 개선
 - (a) APTES(3-아미노프로필트리에톡시실란)로 처리하지 않은 ZnO를 포함하는 TFT(박막 트랜지스터)와 (b) APTES로 처리한 ZnO를 포함하는 TFT의 전달 특성을 측정한 결과, (a)는 (b)보다 낮은 히스테리시스와 I_{on}/I_{off} 비 및 이동도를 보임으로써 전달 특성이 개선됨을 확인함
 - (b) APTES로 처리하지 않은 ZnO 표면에는 트랩이 많기 때문에 게이트 전압 바이어스와 관계없이 전도도가 포화 구역에서 감소한 반면, (a) APTES로 처리한 ZnO는, APTES가 ZnO 층의 표면을 성공적으로 패시베이션하여 포화 구역에서 감소하지 않는 전도도를 나타냄
- n형 도핑농도 제어 가능
 - APTES의 농도가 높으면 ZnO 박막의 도핑 수준이 높아지므로 TFT의 전자 이동도 및 on 전류가 APTES 농도와 비례하여 증가함을 확인함
 - 2.5 부피%의 APTES로 처리한 것이 최적의 조건이었으며, 이 때의 ZnO TFT는 중간 정도로 도핑되었고, 10^5 의 I_{on}/I_{off} 비, 1.13V의 히스테리시스 및 $0.117 \text{ cm}^2/\text{Vs}$ 의 이동도를 나타냄
 - 7.5 부피%의 APTES로 처리했을 때, ZnO 박막이 작은 게이트 변조로 높은 전도 거동을 나타내, I_{on}/I_{off} 비가 현저히 감소하였는데, 이는 약하게 도핑된 반도체에서부터 중간 정도로 도핑된 반도체를 거쳐 고농도로 도핑된 반도체 또는 준-금속(semi-metal)까지 변화했다는 것을 나타냄

APTES로 처리한 ZnO를 포함하는 TFT의 전달 및 출력 특성 측정 결과



각 APTES 농도에서의 ZnO TFT의 on/off 비, 문턱 히스테리시스, 히스테리시스, 및 포화 이동도

APTES 농도 (부피%)	On/Off 비	문턱 전압 히스테리시스 (ΔV_{th})	히스테리시스 (V)	포화 이동도 (cm^2/Vs)
0	8.46×10^4	16	20.22	0.0595
2.5	1.67×10^5	2	1.13	0.117
3.75	6.48×10^4	2	1.68	0.117
5	1.58×10^5	0	2.51	0.134
7.5	4.11×10^2	N/A	4.18	0.179
10	1.12×10^1	N/A	8.13	0.191
15	1.41×10^0	N/A	24.18	0.262

적용 제품 및 파급 효과

- 전자 소자
- 캐리어가 n형 도핑된 금속 산화물 박막을 반도체층으로 사용함으로써 전기적 특성이 개선되고, n형 도핑 농도를 제어함으로써 다양한 용도에 맞게 반도체 특성이 적절히 제어된 금속 산화물 박막을 손쉽게 제공함

지식재산권 현황

발명의 명칭	출원/등록번호	출원/등록일자
금속 산화물 박막의 캐리어 도핑 방법 및 이에 의해 제조된 반도체층을 포함하는 전자 소자	10-2395461	2022.05.03.
패밀리 특허 현황	패밀리 국가	

문의 | 고려대학교 산학협력단 기술사업화센터 권성진 02-3290-5832, giannie77@korea.ac.kr